

REC'D PCT/PTO 24 JUN 2004

PCT/JP 02/12898

日本国特許庁

JAPAN PATENT OFFICE

10/500065

10.12.02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年12月26日

出願番号

Application Number:

特願2001-395233

[ST.10/C]:

[JP2001-395233]

出願人

Applicant(s):

新潟精密株式会社  
株式会社豊田自動織機

REC'D 07 FEB 2003

WIPO PCT

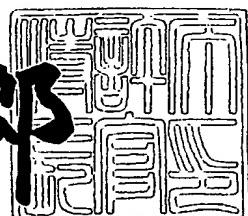
**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3107701

【書類名】 特許願  
【整理番号】 NSP0293N  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 23/00  
【発明者】  
【住所又は居所】 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内  
【氏名】 宮城 弘  
【特許出願人】  
【識別番号】 591220850  
【氏名又は名称】 新潟精密株式会社  
【特許出願人】  
【識別番号】 000003218  
【氏名又は名称】 株式会社豊田自動織機  
【代理人】  
【識別番号】 100103171  
【弁理士】  
【氏名又は名称】 雨貝 正彦  
【電話番号】 03-3362-6791  
【手数料の表示】  
【予納台帳番号】 055491  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9718653  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ除去回路

【特許請求の範囲】

【請求項1】 入力信号に含まれるノイズ成分を検出するハイパスフィルタと、

前記ハイパスフィルタから出力される前記ノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルスを生成するパルス生成回路と、

前記入力信号を所定時間遅延して出力するアナログ遅延回路と、

前記パルス生成回路によって生成されたパルスが入力されたときに、その直前のタイミングで前記アナログ遅延回路から出力された信号を保持するとともに、それ以外のときに前記アナログ遅延回路から出力された信号をそのまま出力する出力回路と、

を有するノイズ除去回路において、

前記アナログ遅延回路は、

複数のコンデンサと、

前記入力信号を異なるタイミングで所定の順番で前記複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した前記入力信号の電圧を前記複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、

前記複数のコンデンサのそれぞれに保持された前記入力信号の電圧を、次の電圧保持のタイミングが到来する前に取り出す複数の第2のスイッチと、

を備えることを特徴とするノイズ除去回路。

【請求項2】 請求項1において、

前記複数の第2のスイッチの出力端を共通に接続することを特徴とするノイズ除去回路。

【請求項3】 請求項1または2において、

前記複数の第1のスイッチのそれぞれを排他的に導通状態にすることを特徴とするノイズ除去回路。

【請求項4】 請求項1～3のいずれかにおいて、

前記複数の第2のスイッチのそれぞれを排他のに導通状態にすることを特徴と

するノイズ除去回路。

【請求項5】 請求項1～4のいずれかにおいて、

前記第1および第2のスイッチのそれぞれは、pチャネル型のFETとnチャネル型のFETを並列接続したアナログスイッチであることを特徴とするノイズ除去回路。

【請求項6】 請求項1～5のいずれかにおいて、

前記アナログ遅延回路は、前記複数の第1のスイッチと前記複数の第2のスイッチのそれぞれを巡回的に選択するクロック信号を生成するクロック生成手段をさらに備えることを特徴とするノイズ除去回路。

【請求項7】 請求項1～6のいずれかにおいて、

前記アナログ遅延回路は、前記複数のコンデンサのそれぞれに前記複数の第2のスイッチを介して接続された出力コンデンサをさらに備えていることを特徴とするノイズ除去回路。

【請求項8】 請求項7において、

前記出力コンデンサの静電容量を、前記複数のコンデンサのそれぞれの静電容量よりも小さな値に設定することを特徴とするノイズ除去回路。

【請求項9】 請求項1～8のいずれかにおいて、

各構成部品を半導体基板上に一体形成することを特徴とするノイズ除去回路。

#### 【発明の詳細な説明】

##### 【0001】

###### 【発明の属する技術分野】

本発明は、受信機等において信号に含まれるノイズ成分を除去するノイズ除去回路に関する。

##### 【0002】

###### 【従来の技術】

車載用のAM受信機やFM受信機内で入出力される信号には、他の車載機器によって発生するノイズが混入しやすい。このため、従来から各種のノイズ除去回路が採用されている。例えば、その中の一つに、信号の中からノイズ成分を抽出し、このノイズ成分に対応する信号の一部をマスクするとともに、その直前に入

力された信号の電圧を保持することにより、ノイズを除去する手法がある。この手法では、ノイズをマスクするためにパルス信号が生成されるが、このパルス信号でノイズをマスクしようとすると、ノイズの発生タイミングとこのノイズに基づいて生成されるパルス信号の発生タイミングを合わせる必要がある。当然ながら、パルス信号の生成には所定時間が必要となるため、この所定時間だけノイズ除去の対象となる信号を遅延させるアナログ遅延回路が必要になる。従来、このアナログ遅延回路として、複数段（例えば4段）のベッセル型のフィルタが用いられている。

## 【0003】

## 【発明が解決しようとする課題】

ところで、上述したベッセル型のフィルタは抵抗とコンデンサと演算増幅器を組み合わせて構成されているため、抵抗やコンデンサの素子定数を考慮すると、アナログ遅延回路全体、すなわちノイズ除去回路全体を半導体基板上に一体形成することができないという問題があった。特に、仮に大きな素子定数の抵抗やコンデンサを半導体基板上に形成したとしても、半導体基板上に形成された抵抗等の素子定数のばらつきが大きいため、アナログ遅延回路の遅延時間が大きくばらついてしまう。ノイズのみを正確に除去しようとすると、アナログ遅延回路の遅延時間を精度よく設定する必要があり、半導体基板上に形成したベッセル型のフィルタを用いたアナログ遅延回路では、この精度要求を満たすことは難しい。

## 【0004】

本発明は、このような点に鑑みて創作されたものであり、その目的は、半導体基板上に一体形成することができるとともに、ノイズ成分除去の精度を向上させることができるノイズ除去回路を提供することにある。

## 【0005】

## 【課題を解決するための手段】

上述した課題を解決するために、本発明のノイズ除去回路は、入力信号に含まれるノイズ成分を検出するハイパスフィルタと、このハイパスフィルタから出力されるノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルスを生成するパルス生成回路と、入力信号を所定時間遅延して出力する

アナログ遅延回路と、パルス生成回路によって生成されたパルスが入力されたときに、その直前のタイミングでアナログ遅延回路から出力された信号を保持するとともに、それ以外のときにアナログ遅延回路から出力された信号をそのまま出力する出力回路とを有している。また、アナログ遅延回路は、複数のコンデンサと、入力信号を異なるタイミングで所定の順番で複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した入力信号の電圧を複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、複数のコンデンサのそれぞれに保持された入力信号の電圧を、次の電圧保持のタイミングが到来する前に取り出す複数の第2のスイッチとを備えている。このように、アナログ遅延回路内の第1のスイッチを順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサに保持するとともに、この保持電圧を更新する前に第2のスイッチを導通させて取り出すことにより、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。特に、断続状態が切り替え可能な第1および第2のスイッチと、信号の電圧を保持するコンデンサとを用いて構成されているため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができる。また、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間が信号の遅延時間となるため、素子定数のバラツキに関係なく遅延時間を設定することができるため、パルス生成回路によってパルスを生成するタイミングとアナログ遅延回路による遅延時間を正確に一致させることができることになり、ノイズ成分除去の精度を向上させることができる。

#### 【0006】

また、上述した複数の第2のスイッチの出力端を共通に接続することが望ましい。これにより、複数のコンデンサのそれぞれに分散して保持した信号の電圧を、アナログ遅延回路から連続した信号として出力することができる。

また、上述した複数の第1のスイッチを排他的に導通状態にすることが望ましい。あるいは、上述した複数の第2のスイッチを排他のに導通状態にすることが望ましい。これにより、アナログ遅延回路内の複数のコンデンサのそれぞれの充

放電動作を別々に行なうことが可能になり、それぞれのコンデンサにおける充放電動作を安定させることができる。

#### 【0007】

また、上述した第1および第2のスイッチのそれぞれは、pチャネル型のFETとnチャネル型のFETを並列接続したアナログスイッチであることが望ましい。これにより、第1および第2のスイッチの導通時の抵抗値を、入力信号の電圧に関係なくほぼ一定とすることができるため、入力信号の電圧変化によるアナログ遅延回路の出力信号の歪みの発生を防止することができる。

#### 【0008】

また、上述したアナログ遅延回路は、複数の第1のスイッチと複数の第2のスイッチのそれぞれを巡回的に選択するクロック信号を生成するクロック生成手段をさらに備えることが望ましい。クロック信号を生成することにより、第1および第2のスイッチの各断続のタイミングを制御することができるため、複雑な制御機構が不要になり、回路構成の簡略化が可能になる。

#### 【0009】

また、上述したアナログ遅延回路は、複数のコンデンサのそれぞれに複数の第2のスイッチを介して接続された出力コンデンサをさらに備えていることが望ましい。これにより、複数のコンデンサから間欠的に出力信号を取り出す場合であっても、この出力信号の急激な電圧変動を抑えることができる。

#### 【0010】

また、上述した出力コンデンサの静電容量を、複数のコンデンサのそれぞれの静電容量よりも小さな値に設定することが望ましい。これにより、複数のコンデンサによる保持電圧に応じて変化する出力信号を取り出すことが容易となる。

また、各構成部品を半導体基板上に一体形成することが望ましい。上述したアナログ遅延回路を用いることにより、ノイズ除去回路の全体を一体形成することが容易となり、これにより、回路全体の小型化やコストダウンが可能になる。

#### 【0011】

##### 【発明の実施の形態】

以下、本発明を適用した一実施形態のノイズ除去回路について、図面を参照し

ながら説明する。

図1は、一実施形態のノイズ除去回路が含まれるFM受信機の部分的な構成を示す図である。図1に示すように、本実施形態のFM受信機は、FM検波回路10、ノイズ除去回路30、ステレオ復調回路60を含んで構成されている。FM検波回路10は、中間周波増幅回路（図示せず）によって増幅された中間周波信号に対してFM検波処理を行ってステレオ複合信号を出力する。ノイズ除去回路30は、FM検波回路10から入力されるFMステレオ複合信号に含まれるノイズを除去する。ステレオ復調回路60は、入力されるステレオ複合信号に含まれるL信号とR信号を分離するステレオ復調処理を行う。

#### 【0012】

図2は、図1に示したノイズ除去回路30の構成を示す図である。図2に示すように、ノイズ除去回路30は、ハイパスフィルタ（HPF）232、増幅器234、全波整流回路236、時定数回路100、電圧比較器240、1ショット回路242、増幅器250、アナログ遅延回路252、FET254、コンデンサ256、バッファ258を含んで構成されている。本実施形態では、ノイズ除去回路30と、必要に応じてその周辺回路の全体が半導体基板上に一体形成されている。

#### 【0013】

ハイパスフィルタ232は、FM検波回路10から出力されるステレオ複合信号に含まれるノイズ成分を含む高域成分のみを通過させる。増幅器234は、印加される制御電圧に対応する利得で、ハイパスフィルタ232を通過したノイズ成分を増幅する。全波整流回路236は、増幅器234から出力される増幅後のノイズ成分に対して全波整流を行う。一般に、所定の電圧レベルを有する信号に混入するノイズは、正極性のものその他に負極性のものがあるため、全波整流回路236では、極性が異なる2種類のノイズ成分を整流して、同一極性のノイズ成分が生成される。時定数回路100は、全波整流回路236によって整流されたノイズ成分を所定の時定数で平滑することにより、増幅器234に印加する制御電圧を生成する。時定数回路100の構成および動作の詳細については後述する。

## 【0014】

電圧比較器240は、全波整流回路236によって整流されたノイズ成分と所定の基準電圧Vrefとを比較し、波高値が基準電圧Vrefを越えるノイズに対応して出力をハイレベルにする。1ショット回路242は、電圧比較器240の出力がハイレベルになったとき、すなわちノイズが検出されたときに、所定のパルス幅を有する单発のパルスを生成する。

## 【0015】

増幅器250は、FM検波回路10から出力される検波後のステレオ複合信号を増幅する。アナログ遅延回路252は、入力されるステレオ複合信号を所定時間遅延させて出力する。この遅延時間は、上述したハイパスフィルタ232から1ショット回路242までの各回路の処理時間に対応して設定されている。FET254は、アナログ遅延回路252から出力されるステレオ複合信号を通過あるいは遮断するスイッチング素子であり、1ショット回路242から出力されたパルスがゲートに入力されたときに、ステレオ複合信号を遮断し、それ以外のときにステレオ複合信号を通過させる。コンデンサ256は、FET254によってステレオ複合信号が遮断されたときに、その直前の信号レベルを保持する。バッファ258は、高入力インピーダンスを有しており、FET254を通過したステレオ複合信号あるいは遮断直前のコンデンサ256の保持電圧がこのバッファ258を介して外部に取り出される。

## 【0016】

上述した電圧比較器240、1ショット回路242がパルス生成回路に、FET254、コンデンサ256、バッファ258が出力回路にそれぞれ対応する。

図3は、本実施形態のノイズ除去回路30の動作状態を示すタイミング図である。図3において、(A)～(F)のそれぞれは、図2において同じ符号が付された各部の入出力信号波形を示している。

## 【0017】

ノイズが混入したステレオ複合信号がFM検波回路10から出力されると(図3(A))、このステレオ複合信号に含まれるノイズ成分がハイパスフィルタ232によって抽出される(図3(B))。全波整流回路236では、このノイズ

成分を整流し(図3(C))、1ショット回路242は、それぞれのノイズに対応するパルス信号を生成する(図3(D))。

## 【0018】

また、アナログ遅延回路252は、このパルス信号の生成に要する時間だけ、FM検波回路10から出力されるステレオ複合信号を遅延させて出力する(図3(E))。これにより、ステレオ複合信号に含まれるノイズが出力されるタイミングと、1ショット回路242からこのノイズに対応するパルスが出力されるタイミングとが一致するようになっている。FET254は、1ショット回路242からパルスが出力されたときに、入力されたステレオ複合信号を遮断する。この遮断時には、その直前にコンデンサ256に保持された電圧がバッファ258によって取り出されるため、バッファ258から出力されるステレオ複合信号では、ノイズ成分に対応する部分がその直前の電圧レベルに置き換わっている。

## 【0019】

ところで、時定数回路100の時定数は、図3(C)に示すような散発のノイズに応答しない程度の値が設定されている。しかし、特にFM放送の場合には、放送波の受信電界強度が低下すると、全体的にホワイトノイズが増加する傾向にあり、このような場合には時定数回路100によって生成される制御電圧が上昇して增幅器234の利得が低下する。したがって、全波整流回路236の出力電圧が低くなつて、電圧比較器240の出力電圧はローレベルを維持し、1ショット回路242によるパルスの生成が行われなくなる。これにより、アナログ遅延回路252から出力されたステレオ複合信号は、FET254で遮断されることなくバッファ258を介して出力される。なお、ステレオ複合信号に含まれるホワイトノイズが増加したときに、FET254による信号の遮断を速やかに停止させる必要があるため、時定数回路100によって生成される制御電圧が上昇して增幅器234の利得が低下する時間(アタックタイム)を短く設定する必要がある。一方、增幅器234の利得が上昇する時間(リリースタイム)は、動作の安定性等を考慮してある程度長く設定することが望ましい。

## 【0020】

図4は、時定数回路100の原理ブロックを示す図である。図4に示すように

、本実施形態の時定数回路100は、コンデンサ110、電圧比較器112、充電回路114、放電回路116、充放電速度設定部118を備えている。電圧比較器112は、コンデンサ110の端子電圧と入力電圧とを比較し、この比較結果に応じて充電回路114あるいは放電回路116の動作を有効にする。充電回路114は、間欠的に充電電流を供給することによりコンデンサ110を充電する。例えば、この充電回路114は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときに定電流回路からコンデンサ110に對して充電電流が供給される。また、放電回路116は、間欠的に放電電流を流すことによりコンデンサ110を放電する。例えば、この放電回路116は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときにコンデンサ110から一定の電流が放出される。充放電速度設定部118は、充電回路114によるコンデンサ110の充電速度と放電回路116によるコンデンサ110の放電速度とを異ならせる設定を行う。

#### 【0021】

このように、本実施形態の時定数回路100は、コンデンサ110に対して間欠的な充放電動作を行っている。このため、コンデンサ110の静電容量を小さく設定した場合でも、緩やかにその両端電圧が変化し、大きな時定数を有する回路、すなわち大きな静電容量を有するコンデンサや大きな抵抗値を有する抵抗を使用した場合と同等の充放電特性を得ることができる。また、充電回路114や放電回路116では、所定の電流をコンデンサ110に供給、あるいはコンデンサ110から放出する制御を行うが、これらの供給、放出動作は間欠的に行われるため、その際の電流値をIC化に適したある程度大きな値に設定することができる。したがって、時定数回路100を含むノイズ除去回路30を半導体基板上に形成してIC化することが容易となる。また、コンデンサ等の外付け部品が不要になるため、ノイズ除去回路30全体を大幅に小型化することができる。

#### 【0022】

また、本実施形態の時定数回路100は、充放電速度設定部118によってコンデンサ110に対する充電速度と放電速度が異なるように設定されている。このため、制御電圧の上昇に伴って増幅器234の利得が低下する時間と、反対に

制御電圧の低下に伴って増幅器234の利得が上昇する時間とを異ならせることが可能になる。

## 【0023】

図5は、時定数回路100の具体的な構成を示す回路図である。図5に示すように、時定数回路100は、コンデンサ110、定電流回路140、FET142、144、150、154、156、スイッチ146、152、電圧比較器160、アンド回路162、164、分周器170を含んで構成されている。

## 【0024】

2つのFET142、144によってカレントミラー回路が構成されており、定電流回路140から出力される定電流と同じ充電電流が生成される。また、この充電電流の生成タイミングがスイッチ146によって決定される。

スイッチ146は、インバータ回路1とアナログスイッチ2とFET3によって構成されている。アナログスイッチ2は、pチャネルFETとnチャネルFETの各ソース・ドレイン間を並列接続することにより構成されている。アンド回路162の出力信号が直接nチャネルFETのゲートに入力されているとともに、この出力信号の論理をインバータ回路1によって反転した信号がpチャネルFETのゲートに入力されている。したがって、このアナログスイッチ2は、アンド回路162の出力信号がハイレベルのときにオン状態になって、反対にローレベルのときにオフ状態になる。また、FET3は、アナログスイッチ2がオフ状態のときにFET144のゲート・ドレイン間を低抵抗で接続することにより、FET144による電流供給動作を確実に停止させるためのものである。

## 【0025】

スイッチ146がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET144のゲートとが接続された状態になるため、一方のFET142に接続された定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET144のソース・ドレイン間にも流れる。この電流が、充電電流としてコンデンサ110に供給される。反対に、スイッチ146がオフ状態になると、FET144のゲートがドレインに接続された状態になるため、この充電電流の供給が停止される。

## 【0026】

また、上述したFET142と定電流回路140にFET150を組み合わせることにより、コンデンサ110の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ152によって決定される。スイッチ152はスイッチ146と同じ構成を有している。このスイッチ152は、アンド回路164の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

## 【0027】

スイッチ152がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET150のゲートとが接続された状態になるため、定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET150のソース・ドレイン間にも流れる。この電流が、コンデンサ110に蓄積された電荷を放出する放電電流になる。

## 【0028】

但し、FET150に流れる電流をコンデンサ110から直接取り出すことはできないため、本実施形態では、FET150のソース側にFET154、156によって構成される別のカレントミラー回路が接続されている。

2つのFET154、156はゲート同士が接続されており、FET154に上述した放電電流が流れたときに、同じ電流が他方のFET156のソース・ドレイン間にも流れようになっている。このFET156は、ドレインがコンデンサ110の高電位側の端子に接続されており、FET156に流れる電流は、コンデンサ110に蓄積された電荷が放出されることによって生成される。

## 【0029】

また、電圧比較器160は、プラス端子に印加されるコンデンサ110の端子電圧と、マイナス端子に印加される時定数回路100の入力電圧との大小比較を行う。この電圧比較器160は、非反転出力端子と反転出力端子を有しており、プラス端子に印加されるコンデンサ110の端子電圧の方がマイナス端子に印加される入力電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子

に印加されるコンデンサ110の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

## 【0030】

アンド回路162は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器160の非反転出力端子が接続されている。したがって、コンデンサ110の端子電圧の方が時定数回路100の入力電圧よりも大きい場合に、アンド回路162から所定のパルス信号が出力される。

## 【0031】

また、アンド回路164は、一方の入力端子に分周器170から出力される所定のパルス信号が入力され、他方の入力端子に電圧比較器160の反転出力端子が接続されている。したがって、コンデンサ110の端子電圧の方が時定数回路100の入力電圧よりも小さい場合に、アンド回路164から所定のパルス信号が出力される。

## 【0032】

分周器170は、アンド回路162の一方の入力端子に入力されたパルス信号を所定の分周比で分周して出力する。上述したように、この分周後のパルス信号は、アンド回路164の一方の入力端子に入力される。

時定数回路100はこのような構成を有しており、次にその動作を説明する。

## 【0033】

時定数回路100の動作開始時にコンデンサ110が充電されていない場合や、時定数回路100の入力電圧が上昇傾向にある場合には、コンデンサ110の端子電圧の方が時定数回路100の入力電圧よりも低い状態にある。このとき、アンド回路162からパルス信号が出力され、アンド回路164からはパルス信号が出力されない。したがって、スイッチ146のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電流がコンデンサ110に供給される。この充電動作は、コンデンサ110の端子電圧が時定数回路100の入力電圧よりも相対的に高くなるまで継続される。

## 【0034】

また、この充電動作によってコンデンサ110の端子電圧が時定数回路100の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサ110の端子電圧よりこの入力電圧の方が低い場合には、アンド回路164からパルス信号が出力され、アンド回路162からはパルス信号が出力されない。したがって、スイッチ152のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサ110から放出される。この放電動作は、コンデンサ110の端子電圧が時定数回路100の入力電圧よりも相対的に低くなるまで継続される。

#### 【0035】

また、上述した2つのアンド回路162、164から出力される2種類のパルス信号を比較すると、アンド回路162から出力されるパルス信号のデューティ比の方がアンド回路164から出力されるパルス信号のデューティ比よりも大きいため、2つのアンド回路162、164のそれぞれから同じ時間だけパルス信号が出力された場合を考えると、単位時間当たりの充電速度の方が放電速度よりも速くなる。

#### 【0036】

なお、上述した時定数回路100では、2つのアンド回路162、164からデューティ比が異なるパルス信号を出力するために分周器170を用いたが、異なるデューティ比のパルス信号を別々に生成して2つのアンド回路162、164のそれぞれに入力するようにしてもよい。あるいは、分周器170を取り除くことにより、コンデンサ110の充電時間と放電時間を同じにすることができる。

#### 【0037】

また、上述した時定数回路100では、コンデンサ110に対する充電速度と放電速度を異ならせるために、FET144、150のそれぞれがオン状態になる単位時間当たりの割合を異ならせたが、これらのFETのゲート寸法を異ならせることにより、充電電流と放電電流そのものを異ならせるようにしてもよい。

#### 【0038】

図6は、アナログ遅延回路252の詳細構成を示す図である。図6に示すよう

に、アナログ遅延回路252は、クロック生成部50、アナログスイッチ51～56、61～66、インバータ回路71～76、コンデンサ81～86、90を含んで構成されている。上述したアナログスイッチ51～56が第1のスイッチに、アナログスイッチ61～66が第2のスイッチに対応する。

#### 【0039】

クロック生成部50は、出力タイミングが互いに異なる6つのクロック信号CLK1～6を所定の順番で生成する。これら6つのクロック信号CLK1～6のそれぞれは、同じ周期を有しているとともに、ハイレベルの期間が互いに排他的かつ巡回的になるように設定されている。このクロック生成部50がクロック生成手段に対応する。

#### 【0040】

第1のクロック信号CLK1は、直接およびインバータ回路71を介して2つのアナログスイッチ51、62に入力されている。一方のアナログスイッチ51がクロック信号CLK1に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ81に印加され、この印加電圧がコンデンサ81に保持される。また、他方のアナログスイッチ62がクロック信号CLK1に対応して導通すると、コンデンサ82の一方端が出力端子側に接続され、このコンデンサ82の保持電圧が出力電圧として外部に取り出される。

#### 【0041】

第2のクロック信号CLK2は、直接およびインバータ回路72を介して2つのアナログスイッチ52、63に入力されている。一方のアナログスイッチ52がクロック信号CLK2に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ82に印加され、この印加電圧がコンデンサ82に保持される。また、他方のアナログスイッチ63がクロック信号CLK2に対応して導通すると、コンデンサ83の一方端が出力端子側に接続され、このコンデンサ83の保持電圧が出力電圧として外部に取り出される。

#### 【0042】

第3のクロック信号CLK3は、直接およびインバータ回路73を介して2つのアナログスイッチ53、64に入力されている。一方のアナログスイッチ53

がクロック信号CLK3に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ83に印加され、この印加電圧がコンデンサ83に保持される。また、他方のアナログスイッチ64がクロック信号CLK3に対応して導通すると、コンデンサ84の一方端が出力端子側に接続され、このコンデンサ84の保持電圧が出力電圧として外部に取り出される。

#### 【0043】

第4のクロック信号CLK4は、直接およびインバータ回路74を介して2つのアナログスイッチ54、65に入力されている。一方のアナログスイッチ54がクロック信号CLK4に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ84に印加され、この印加電圧がコンデンサ84に保持される。また、他方のアナログスイッチ65がクロック信号CLK4に対応して導通すると、コンデンサ85の一方端が出力端子側に接続され、このコンデンサ85の保持電圧が出力電圧として外部に取り出される。

#### 【0044】

第5のクロック信号CLK5は、直接およびインバータ回路75を介して2つのアナログスイッチ55、66に入力されている。一方のアナログスイッチ55がクロック信号CLK5に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ85に印加され、この印加電圧がコンデンサ85に保持される。また、他方のアナログスイッチ66がクロック信号CLK5に対応して導通すると、コンデンサ86の一方端が出力端子側に接続され、このコンデンサ86の保持電圧が出力電圧として外部に取り出される。

#### 【0045】

第6のクロック信号CLK6は、直接およびインバータ回路76を介して2つのアナログスイッチ56、61に入力されている。一方のアナログスイッチ56がクロック信号CLK6に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ86に印加され、この印加電圧がコンデンサ86に保持される。また、他方のアナログスイッチ61がクロック信号CLK6に対応して導通すると、コンデンサ81の一方端が出力端子側に接続され、このコンデンサ81の保持電圧が出力電圧として外部に取り出される。

## 【0046】

コンデンサ90は、平滑用の出力コンデンサであり、アナログスイッチ61～66のいずれもが非導通状態にあるときに、その直前に出力端子側に取り出されたコンデンサ81～86の保持電圧を維持する。このコンデンサ90の静電容量は、他のコンデンサ81～86のそれぞれの静電容量よりも小さな値に、例えば1/10程度に設定されている。これにより、コンデンサ81～86のそれぞれの保持電圧に応じて変化する出力信号を生成してアナログ遅延回路252の外部に取り出すことが容易となる。

## 【0047】

また、上述したアナログスイッチ51～56、61～66のそれぞれは、pチャネル型のFETとnチャネル型のFETを並列接続することにより構成されている。このため、入力信号の電圧レベルが変化してもオン抵抗がほぼ一定になり、入力信号の電圧レベルが変化したときに出力信号の歪みが生じないようになっている。

## 【0048】

次に、本実施形態のアナログ遅延回路252の動作を説明する。

図7は、アナログ遅延回路252の動作タイミングを示す図である。図7において、クロック信号CLK1～6のそれぞれに付された1～12の数字は、クロック信号の出力順番（クロック信号が排他的にハイレベルになる順番）を示している。このようにクロック生成部50からは、アナログスイッチ51～56、61～66のそれぞれを巡回的に選択する6種類のクロック信号CLK1～CLK6が出力されている。なお、本実施形態において、「巡回的に選択する」とは、6個のアナログスイッチを順番に選択し、一巡したときに最初に戻って再び順番に選択する動作を繰り返すことをいう。

## 【0049】

クロック信号CLK1が最初に入力されると（番号1）、このタイミングでアナログスイッチ51が導通状態になってコンデンサ81が充電され、入力信号の電圧が保持される。同様に、クロック信号CLK2が次に入力されると（番号2）、このタイミングでアナログスイッチ52が導通状態になってコンデンサ82

が充電され、入力信号の電圧が保持される。

#### 【0050】

このようにして、順番にクロック信号CLK1～6が入力されると、それぞれに対応するアナログスイッチ51～56が導通状態になって、後段に接続されたコンデンサ81～86に入力信号の電圧が保持される。

また、コンデンサ81～86のそれぞれに保持された電圧は、次に更新される直前のタイミングで取り出される。具体的には、クロック信号CLK1（番号7）は、クロック信号CLK6（番号6）が出力された後に再び出力されるため、このクロック信号CLK6の出力タイミングに合わせて、コンデンサ81に接続されたアナログスイッチ61が導通状態になって、コンデンサ81の保持電圧が出力端子側に取り出される。以後、同様にして、他のアナログスイッチ62～66が順番に導通状態になって、コンデンサ82～86の保持電圧が順番に取り出される。

#### 【0051】

このように、スイッチ51～56を順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサ81～86に保持するとともに、この保持電圧を更新する前にスイッチ61～66を導通させて取り出すことにより、スイッチ51～56を導通させてからそれに対応するスイッチ61～66を導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。

#### 【0052】

特に、断続状態が切り替え可能なスイッチ51～56、61～66と、信号の電圧を保持するコンデンサ81～86と、クロック生成回路50等のその他の附加回路を用いてアナログ遅延回路252を構成することができるため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路252を含むノイズ除去回路30の全体を容易に半導体基板上に形成することができる。

#### 【0053】

また、スイッチ51～56を導通させてから、それに対応するスイッチ61～66を導通させるまでの時間が信号の遅延時間となるため、クロック信号の生成タイミングやアナログスイッチおよびコンデンサの数によって遅延時間を正

確に設定することができ、1ショット回路242によってパルスを生成するタイミングとアナログ遅延回路252による遅延時間を正確に一致させることができることになり、ノイズ成分除去30の精度を向上させることができる。

#### 【0054】

また、クロック生成部50によってクロック信号を生成することにより、アナログスイッチ51～56、61～66の各断続タイミングを制御することができるため、複雑な制御機構が不要になり、アナログ遅延回路252およびノイズ除去回路30の回路構成の簡略化が可能になる。

#### 【0055】

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、一般的な構成を有するFM受信機のノイズ除去回路30について説明したが、ダイレクトコンバージョン受信機等に含まれるノイズ除去回路について本発明を適用することができる。特に、ダイレクトコンバージョン受信機では、信号を同相成分(I成分)と直交成分(Q成分)に分離するため、分離後のそれぞれの信号に対してノイズ除去回路を用いる必要があるため、このノイズ除去回路に本発明を適用することにより回路構成の大幅な簡略化によるコストダウンを達成することができる。

#### 【0056】

##### 【発明の効果】

上述したように、本発明によれば、アナログ遅延回路内の第1のスイッチを順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサに保持するとともに、この保持電圧を更新する前に第2のスイッチを導通させて取り出すことにより、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間だけ、信号の出力タイミングを遅延させることができる。特に、断続状態が切り替え可能な第1および第2のスイッチと、信号の電圧を保持するコンデンサとを用いて構成されているため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができる。また、第1のスイッチを導通させてから第2のスイッ

チを導通させるまでの時間が信号の遅延時間となるため、素子定数のバラツキに  
関係なく遅延時間を設定することができるため、パルス生成回路によってパルス  
を生成するタイミングとアナログ遅延回路による遅延時間を正確に一致させること  
が容易になり、ノイズ成分除去の精度を向上させることができる。

【図面の簡単な説明】

【図1】

一実施形態のノイズ除去回路が含まれるFM受信機の部分的な構成を示す図である。

【図2】

図1に示したノイズ除去回路の構成を示す図である。

【図3】

本実施形態のノイズ除去回路の動作状態を示すタイミング図である。

【図4】

時定数回路の原理ブロックを示す図である。

【図5】

時定数回路の具体的な構成を示す回路図である。

【図6】

アナログ遅延回路の詳細構成を示す図である。

【図7】

アナログ遅延回路の動作タイミングを示す図である。

【符号の説明】

- 10 FM検波回路
- 30 ノイズ除去回路
- 60 ステレオ復調回路
- 232 ハイパスフィルタ (HPF)
- 234、50 増幅器
- 236 全波整流回路
- 240 電圧比較器
- 242 1ショット回路

252 アナログ遅延回路

254 FET

256、110 コンデンサ

258 バッファ

50 クロック生成部

51~56、61~66 アナログスイッチ

71~76 インバータ回路

81~86、90 コンデンサ

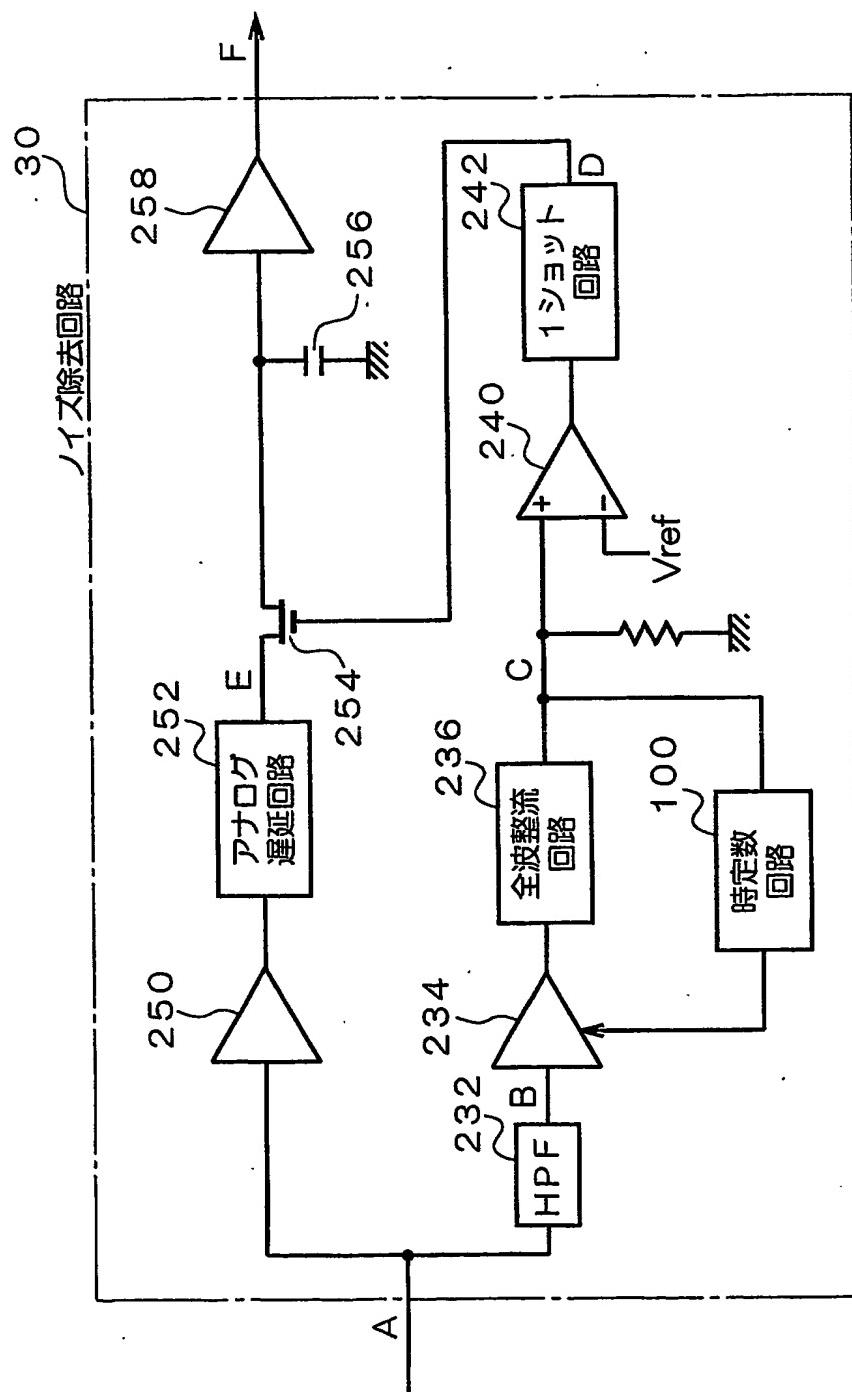
【書類名】

図面

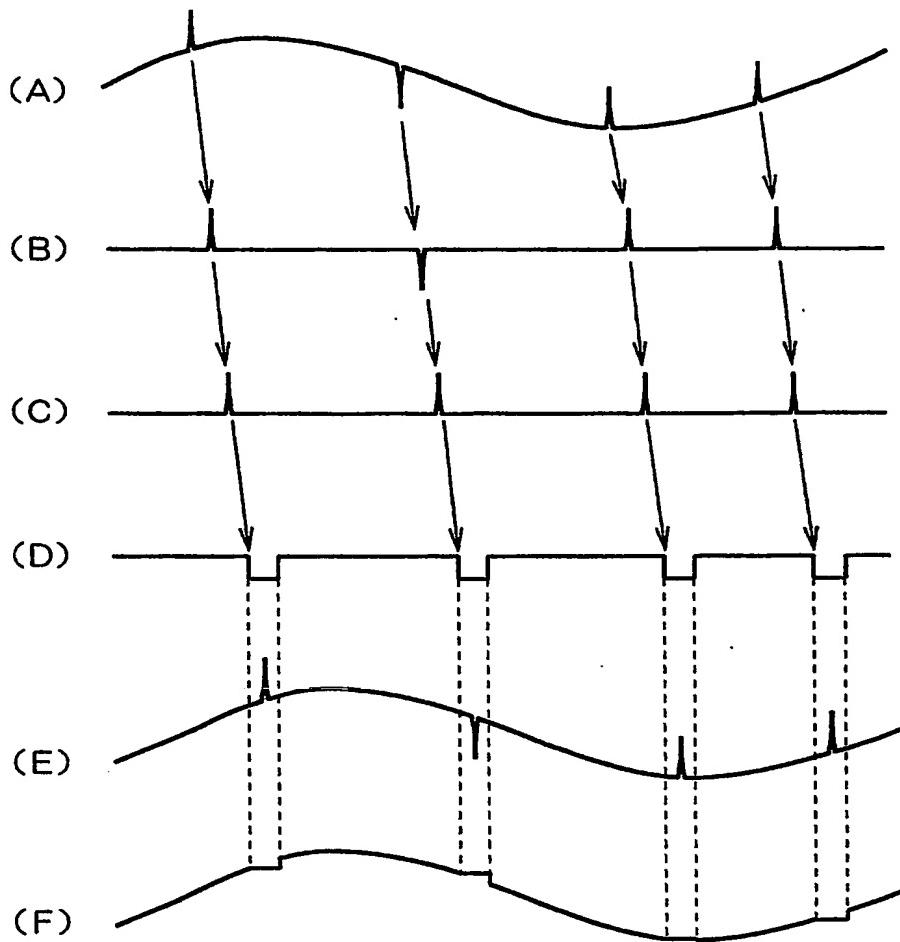
【図1】



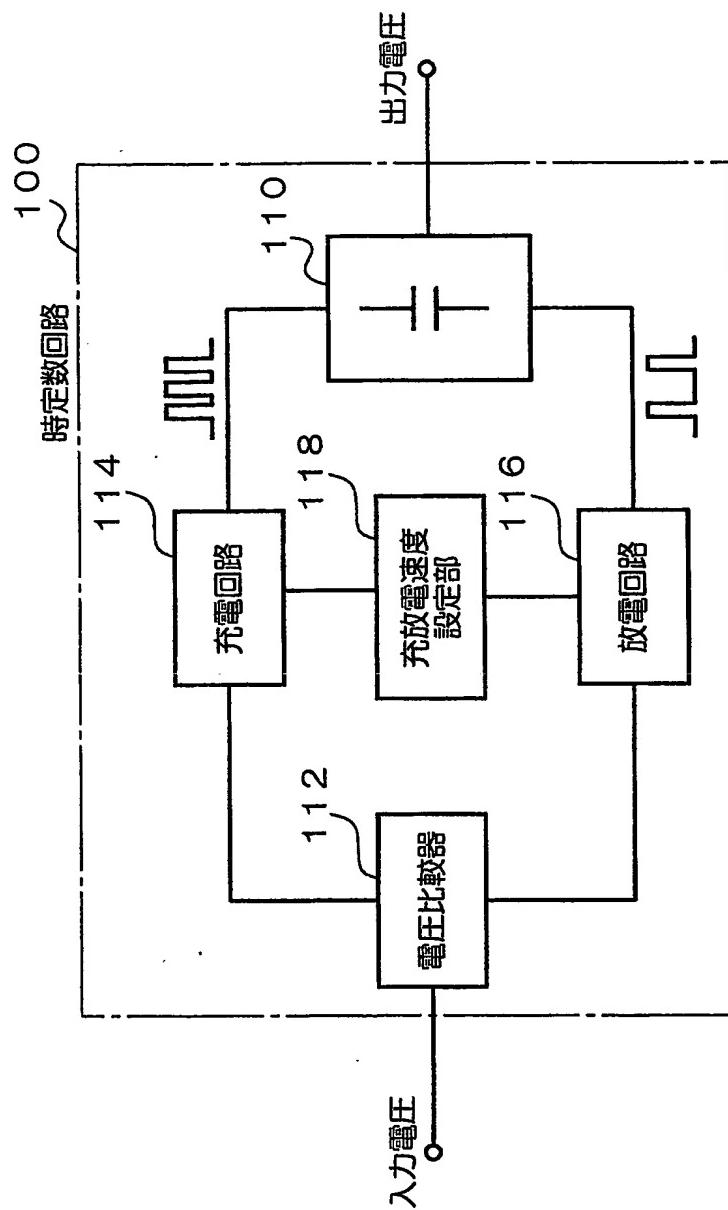
【図2】



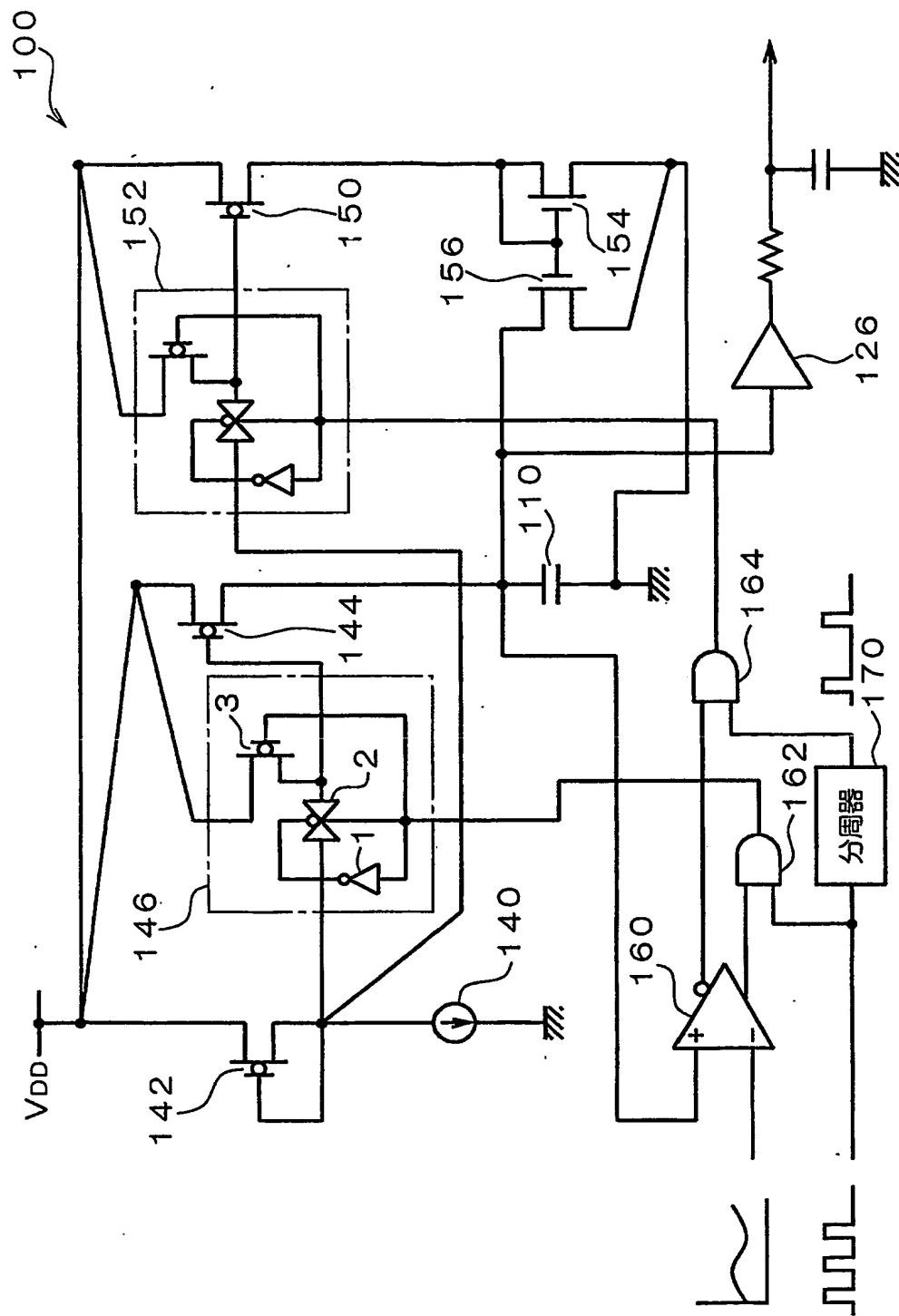
【図3】



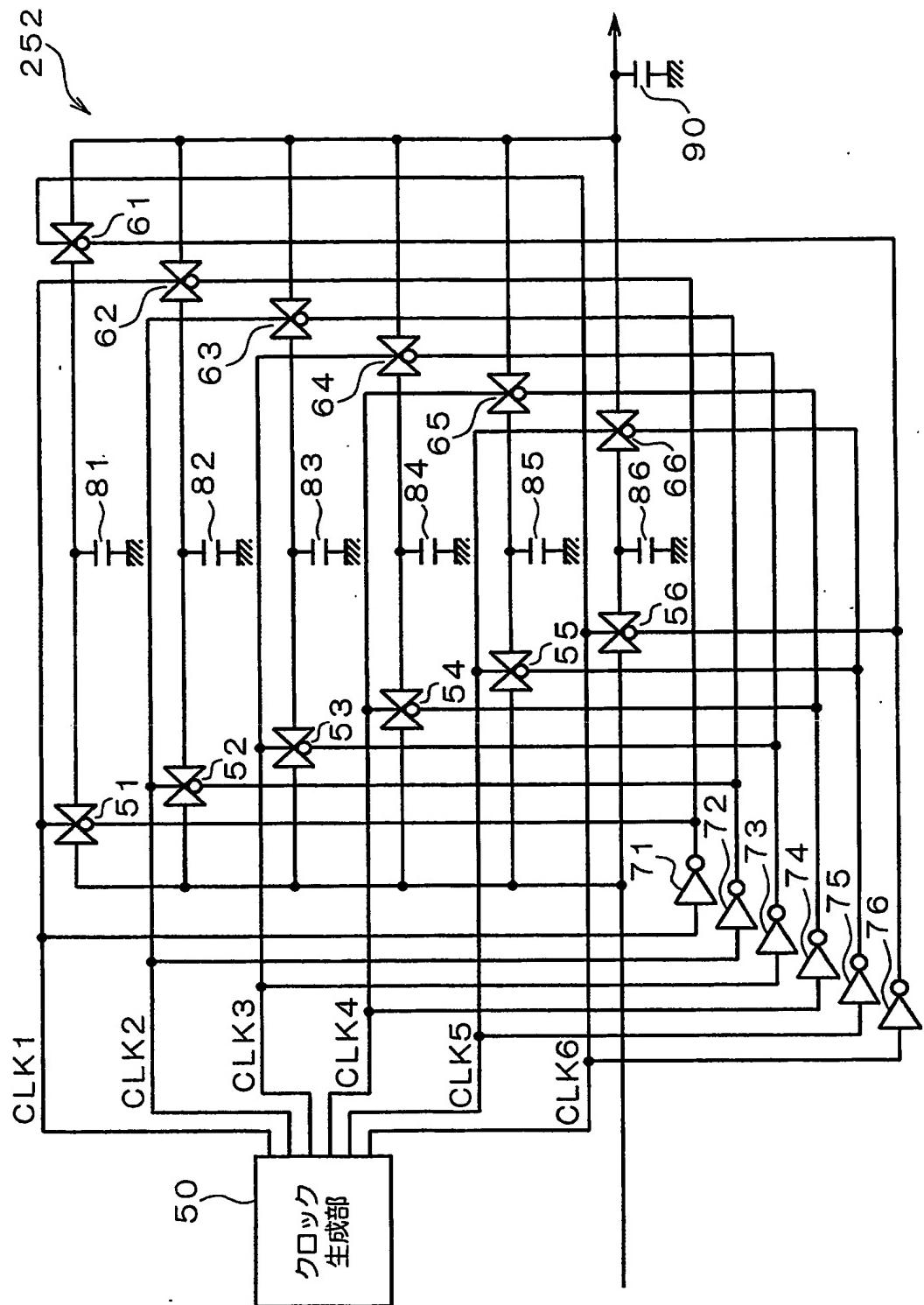
【図4】



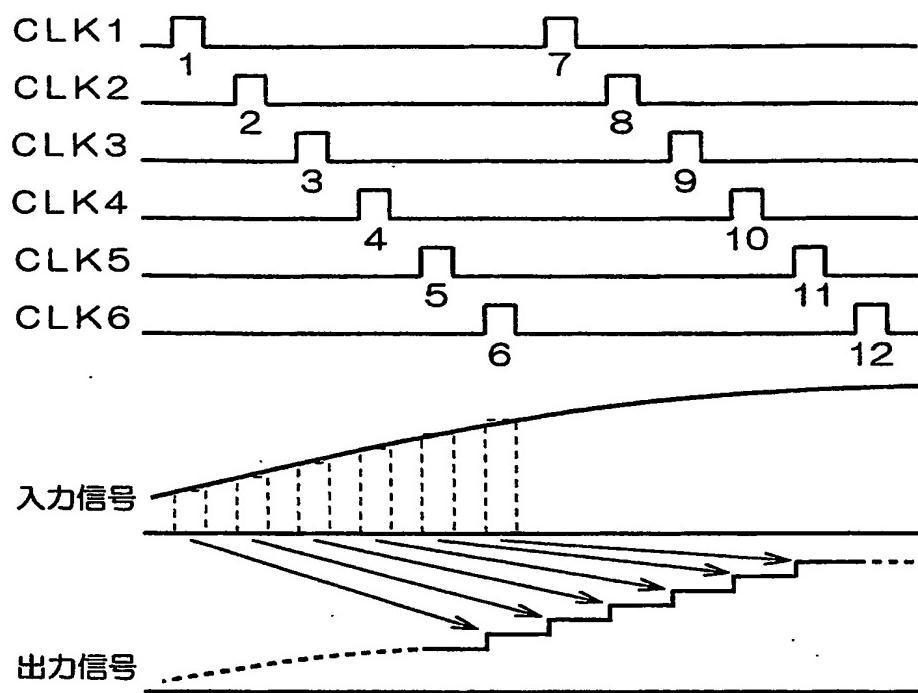
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 半導体基板上に一体形成することができるとともに、ノイズ成分除去の精度を向上させることができるノイズ除去回路を提供すること。

【解決手段】 ノイズ除去回路は、入力信号に含まれるノイズ成分を検出するハイパスフィルタと、検出したノイズ成分に対応するパルス信号を生成するパルス生成回路と、入力信号を遅延させるアナログ遅延回路252と、この遅延させた信号に含まれるノイズ成分をパルス信号の出力タイミングに応じて除去する出力回路とを備える。アナログ遅延回路252は、スイッチ51～56を順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサ81～86に保持するとともに、この保持電圧を更新する前にスイッチ61～66を導通させて取り出すことにより、入力信号の出力タイミングを遅延させる。

【選択図】 図6

特2001-395233

認定・付加情報

|         |               |
|---------|---------------|
| 特許出願の番号 | 特願2001-395233 |
| 受付番号    | 50101906113   |
| 書類名     | 特許願           |
| 担当官     | 第五担当上席 0094   |
| 作成日     | 平成13年12月27日   |

<認定情報・付加情報>

【提出日】 平成13年12月26日

次頁無

特2001-395233

出願人履歴情報

識別番号

[591220850]

1. 変更年月日 1996年 5月 9日

[変更理由]

住所変更

住 所

新潟県上越市西城町2丁目5番13号

氏 名

新潟精密株式会社

出願人履歴情報

識別番号 [000003218]

1. 変更年月日 2001年 8月 1日

[変更理由] 名称変更

住 所 愛知県刈谷市豊田町2丁目1番地

氏 名 株式会社豊田自動織機